

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

ASHIZAWA, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: October 28, 2003

Attorney Dkt. No.: 100353-00178

For: SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: October 28, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

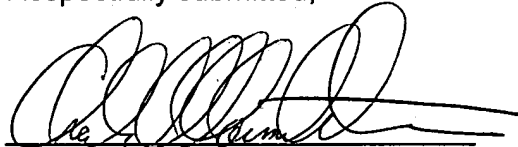
Foreign Application No. 2002-314567, filed October 28, 2002, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM:cam

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月29日  
Date of Application:

出願番号 特願2002-314567  
Application Number:

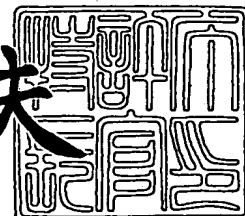
[ST. 10/C]: [JP 2002-314567]

出願人 富士通株式会社  
Applicant(s):

2003年 7月31日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3061277

【書類名】 特許願

【整理番号】 0241346

【提出日】 平成14年10月29日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 11/41

【発明の名称】 半導体記憶装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 芦澤 哲夫

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 横関 亘

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 メモリセルアレイと、デコーダと、入出力ラッチ回路を有する半導体記憶装置において、

前記メモリセルアレイに対し前記デコーダからワード線方向に異なる箇所に配設された複数対のダミービット線と、

前記ダミービット線の一方の対に接続された第 1 のダミーセルアレイと、

前記ダミービット線他方の対に接続された第 2 のダミーセルアレイと、

前記デコーダから送出され、前記第 1 のダミーセルアレイの該当ダミーセルを介し前記ダミービット線を通じた第 1 の信号、及び前記デコーダから送出され、前記第 2 のダミーセルアレイの該当ダミーセルを介し前記ダミービット線を通じた第 2 の信号に基づいて、前記入出力ラッチ回路に対する内部制御信号のタイミングを制御するタイミング制御回路と、

を備えることを特徴とする半導体記憶装置。

【請求項 2】 前記第 1 のダミーセルアレイを前記メモリセルアレイの前記デコーダに最も近い箇所に配設し、前記第 2 のダミーセルアレイを前記メモリセルアレイの前記デコーダから最も遠い箇所に配設したことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記タイミング制御回路は、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを、前記第 1 のダミーセルアレイの該当ダミーセルから送出されたデータ読出信号に基づいて決定することを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記タイミング制御回路は、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の非活性化タイミングを、前記第 2 のダミーセルアレイの該当ダミーセルから送出されたデータ読出し信号に基づいて決定することを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 5】 前記半導体記憶装置をセンスアンプをもたない SRAM として構成したことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記第 1 のダミーセルアレイを前記メモリセルアレイの前記デコーダに最も近い箇所に配設し、前記第 2 のダミーセルアレイを前記メモリセルアレイのほぼ中央の箇所に配設したことを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、セルフタイムド方式の半導体記憶装置に関するものである。

【0002】

【従来の技術】

通常のメモリセルの読み出し動作と同等な負荷をもつ選択回路、ダミーメモリセル、及び読み出し回路の信号経路を通過した信号に基づいて、内部制御信号のタイミングを決定するセルフタイムド方式の半導体記憶装置が知られている。セルフタイムド方式は、プロセスばらつきによる半導体記憶装置内のメモリセルの特性変動をダミーメモリセルを通過した信号を用いて相殺することにより、内部制御信号のタイミングを生成する。

【0003】

上記セルフタイムド方式は、ワードライン選択信号、センスアンプ活性化信号（センスアンプをもつ半導体記憶装置の場合）、データラッチ信号（センスアンプをもたない半導体記憶装置の場合）などの内部制御信号のタイミング生成に利用される。ここでは、センスアンプをもたない半導体記憶装置（SRAM等）の場合におけるデータラッチ信号の活性化タイミングの決定のしかたを一例として説明する。但し、この方式はセンスアンプ活性化信号やその他の信号についても同様に適用可能である。

【0004】

図 1 は、従来の半導体記憶装置における内部タイミング信号を生成するための構成例を示す。図 2 は、図 1 の従来例における内部タイミング信号の生成方法を説明するためのタイミング図である。

【0005】

図1において、半導体記録装置10は、ダミーセルアレイ11、メモリセルアレイ12、デコーダ13、入出力ラッチ回路14、およびタイミング制御回路15を備えている。半導体記憶装置10は、例えば、センスアンプをもたないSRAMであり、従来のセルフタイムド方式を適用したものである。ダミーセルアレイ11が、メモリセルアレイ12に対し、デコーダ13から最も遠い箇所に併設されている。

#### 【0006】

この場合におけるデータラッチ信号の活性化タイミングは、次のように決定される。すなわち、図1の矢印に示したように、デコーダ13から選択されたワード線に沿って送出され、ダミーセルアレイ11内の該当ダミーセルを介しダミービット線を通過した信号にしたがって、タイミング制御回路15は、入出力ラッチ回路14の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを決定する。該当出力ラッチ部では、この決定された活性化タイミングで、メモリセルアレイ12内の該当メモリセルのデータが読み出される。

#### 【0007】

図2において、(1)は半導体記憶装置10の各回路に送出されるクロック信号CKの状態を示し、(2)は選択されたワード線の信号WLの状態を示し、(3)は該当ダミーセルを介してダミービット線を通過した信号s t fの状態を示し、(4)は該当出力ラッチ部に入力するデータラッチ信号OUTPUT\_LATCH\_ENABLEの状態を示す。

#### 【0008】

この場合、データラッチ信号の活性化タイミングは、図2に示したように、該当ダミーセルの読み出しタイミング(信号s t fの立上りタイミング)によって決定していた。また、データラッチ信号を非活性化タイミングは、ダミービット線に設けられたインバータによる遅延によって、上記の活性化タイミングから一定の時間後のタイミングに予め設定されていた。

#### 【0009】

図3は、従来の半導体記憶装置における内部タイミング信号を生成するための別の構成例を示す。

**【0010】**

図3において、半導体記録装置10Aは、ダミーセルアレイ11A、メモリセルアレイ12、デコーダ13、入出力ラッチ回路14、およびタイミング制御回路15Aを備えている。半導体記憶装置10Aは、例えば、センスアンプをもたないSRAMであり、従来のセルフタイムド方式を適用したものである。ダミーセルアレイ11Aが、メモリセルアレイ12に対し、デコーダ13に最も近い箇所に併設されている。

**【0011】**

図1の場合と同様に、この場合におけるデータラッチ信号の活性化タイミングは、次のように決定される。すなわち、図3の矢印に示したように、デコーダ13から選択されたワード線に沿って送出され、ダミーセルアレイ11A内の該当ダミーセルを介しダミービット線を通じた信号にしたがって、タイミング制御回路15Aは、入出力ラッチ回路14の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを決定する。

**【0012】**

図3の従来例の場合も、図1の場合と同様に、データラッチ信号の活性化タイミングは、該当ダミーセルのデータ読み出しタイミング（信号stfの立上りタイミング）によって決定していた。また、データラッチ信号を非活性化タイミングは、ダミービット線に設けられたインバータによる遅延によって、上記の活性化タイミングから一定の時間後のタイミングに予め設定されていた。

**【0013】**

なお、本発明に関連する従来技術として、特開平11-203873号公報には、内部制御信号のタイミング生成を行う半導体記憶装置が示されている。

**【0014】****【特許文献1】**

特開平11-203873号公報

**【0015】****【発明が解決しようとする課題】**

図1の従来例の場合、該当ダミーセルがメモリセルアレイ4に対しデコーダ列



5から最も遠い箇所に併設されているために、メモリセルアレイ4内の選択ワード線上の全てのメモリセルよりも、該当ダミーセルからの出力信号は、タイミング制御回路7に到達する時間が遅い。したがって、データラッチ信号のタイミング決定のためのタイミングマージンは十分である。しかし、データラッチ信号の活性化タイミングの決定は、図1の矢印の信号経路を伝達する為、逆にタイミングマージンを見こみ過ぎてしまう危険性がある。

#### 【0016】

また、図3の従来例の場合、該当ダミーセルがメモリセルアレイ4に対しデコーダ列5に最も近い箇所に併設されているため、データラッチ信号の活性化タイミングはデータを読出すための最小時間で設定出来るため、高速化が可能である。しかし、この従来例のダミーセルアレイの信号経路は、実際のメモリセルの選択信号経路を模しているとは言えない。データラッチ信号の非活性化タイミングはインバータの遅延によって設定されている為に、メモリセルのばらつきとロジックのばらつきが違う場合、タイミングマージンが無くなる可能性がある。

#### 【0017】

すなわち、図1の従来例の場合には、内部制御信号のタイミング決定のためのタイミングマージンが大きいのが、高速化には不適切であった。また、図3の従来例の場合は、高速化には向いているが、タイミングマージンが無くなる危険性があった。

#### 【0018】

本発明は、上記の点に鑑みてなされたものであり、上記従来例の欠点を解消しながら、内部制御信号の適正なタイミングマージンが設定でき、かつ、高速な内部制御信号のタイミング生成を可能とする半導体記憶装置を提供することを目的とする。

#### 【0019】

##### 【課題を解決するための手段】

上記課題を解決するため、請求項1に記載した発明は、メモリセルアレイと、デコーダと、入出力ラッチ回路を有する半導体記憶装置において、前記メモリセルアレイに対し前記デコーダからワード線方向に異なる箇所に配設された複数対

のダミービット線と、前記ダミービット線の方の対に接続された第1のダミーセルアレイと、前記ダミービット線の方の対に接続された第2のダミーセルアレイと、前記デコーダから送出され、前記第1のダミーセルアレイの該当ダミーセルを介し前記ダミービット線を通じた第1の信号、及び前記デコーダから送出され、前記第2のダミーセルアレイの該当ダミーセルを介し前記ダミービット線を通じた第2の信号に基づいて、前記入出力ラッチ回路に対する内部制御信号のタイミングを制御するタイミング制御回路とを備えることを特徴とする。

#### 【0020】

請求項2に記載した発明は、請求項1記載の半導体記憶装置において、前記第1のダミーセルアレイを前記メモリセルアレイの前記デコーダに最も近い箇所に配設し、前記第2のダミーセルアレイを前記メモリセルアレイの前記デコーダから最も遠い箇所に配設したことを特徴とする。

#### 【0021】

請求項3に記載した発明は、請求項2記載の半導体記憶装置において、前記タイミング制御回路が、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを、前記第1のダミーセルアレイの該当ダミーセルから送出されたデータ読出信号に基づいて決定することを特徴とする。

#### 【0022】

請求項4に記載した発明は、請求項2記載の半導体記憶装置において、前記タイミング制御回路が、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の非活性化タイミングを、前記第2のダミーセルアレイの該当ダミーセルから送出されたデータ読出し信号に基づいて決定することを特徴とする。

#### 【0023】

請求項5に記載した発明は、請求項1記載の半導体記憶装置において、前記半導体記憶装置をセンスアンプをもたないSRAMとして構成したことを特徴とする。

#### 【0024】

請求項6に記載した発明は、請求項1記載の半導体記憶装置において、前記第1のダミーセルアレイを前記メモリセルアレイの前記デコーダに最も近い箇所に

配設し、前記第2のダミーセルアレイを前記メモリセルアレイのほぼ中央の箇所に配設したことを特徴とする。

#### 【0025】

本発明の半導体記憶装置においては、第1のダミーセルアレイと第2のダミーセルアレイを、メモリセルアレイに対しデコーダからワード線方向に沿って異なる箇所に配設する。内部制御信号の活性化タイミングを、第1のダミーセルアレイの該当ダミーセルを介してダミービット線を通過した第1の信号に基づいて決定し、非活性化タイミングを第2のダミーセルアレイの該当ダミーセルを介してダミービット線を通過した第2の信号に基づいて決定する。

#### 【0026】

##### 【発明の実施の形態】

以下、本発明の実施の形態を添付の図面を用いて説明する。

#### 【0027】

図4は、本発明の第1の実施形態に係る半導体記憶装置の構成を示す。図5は、図4の半導体記憶装置における内部タイミング信号の生成方法を説明するためのタイミング図である。

#### 【0028】

図4の半導体記憶装置1は、第1のダミーセルアレイ2、第2のダミーセルアレイ3、メモリセルアレイ4、デコーダ列5、入出力ラッチ回路6、およびタイミング制御回路7を備えている。半導体記憶装置1は、例えば、センスアンプをもたないSRAMであり、本発明によるセルフタイムド方式を適用したものである。第1のダミーセルアレイ2は、メモリセルアレイ4に対しデコーダ列5から最も遠い箇所に配設されたダミービット線対に接続されている。第2のダミーセルアレイ3は、メモリセルアレイ4に対しデコーダ列5に最も近い箇所に配設されたダミービット線対に接続されている。

#### 【0029】

この実施形態におけるデータラッチ信号の活性化タイミングは、次のように決定される。すなわち、デコーダ列5から選択されたワード線に沿って送出され、第2のダミーセルアレイ3内の該当ダミーセルを介しダミービット線を通過した

信号に基づいて、タイミング制御回路 7 は、入出力ラッチ回路 6 の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを決定する。該当出力ラッチ部では、この決定された活性化タイミングで、メモリセルアレイ 4 内の該当メモリセルのデータ読み出しが開始される。

#### 【0030】

この実施形態におけるデータラッチ信号の非活性化タイミングは、次のように決定される。すなわち、デコーダ列 5 から選択されたワード線に沿って送出され、第 1 のダミーセルアレイ 2 内の該当ダミーセルを介しダミービット線を通過した信号に基づいて、タイミング制御回路 7 は、入出力ラッチ回路 6 の該当出力ラッチ部に入力するデータラッチ信号の非活性化タイミングを決定する。該当出力ラッチ部では、この決定された非活性化タイミングで、メモリセルアレイ 4 内の該当メモリセルのデータ読み出しが終了する。

#### 【0031】

図 5 において、(1) は半導体記憶装置 1 の各回路に送出されるクロック信号 CK の状態を示し、(2) は選択されたワード線の信号 WL の状態を示し、(3) は第 2 のダミーセルアレイ 3 の該当ダミーセルを介してダミービット線を通過した信号  $s_{tn}$  の状態を示し、(4) は第 1 のダミーセルアレイ 2 の該当ダミーセルを介してダミービット線を通過した信号  $s_{tf}$  の状態を示し、(5) は入出力ラッチ回路 6 の該当出力ラッチ部に入力するデータラッチ信号 OUTPUT\_LATCH\_ENABLE の状態を示す。

#### 【0032】

この実施形態の半導体記憶装置 1 では、図 4 に示したように、第 1 のダミーセルアレイ 2 及び第 2 のダミーセルアレイ 3 を、メモリセルアレイ 4 に対しデコーダ列 5 からワード線方向に異なる 2 箇所配設されたダミービット線対にそれぞれ接続している。図 5 に示したように、データラッチ信号の活性化タイミングは、第 2 のダミーセルアレイ 3 内の該当ダミーセルを介してダミービット線を通過した信号  $s_{tn}$  の立上りタイミングに基づいて決定し、非活性化タイミングは、第 1 のダミーセルアレイ 2 内の該当ダミーセルを介してダミービット線を通過した信号  $s_{tf}$  の立上りタイミングに基づいて決定する。

## 【0033】

この実施形態の半導体記憶装置 1 では、データラッチ信号の活性化タイミングを、デコーダ列 5 に最も近い箇所に設けた第 2 のダミーセルアレイ 3 の該当ダミーセルからの信号  $s_{tn}$  に基づいて決定しているために、図 1 の従来例の課題であった、過大なタイミングマージンの設定を回避できる。したがって、高速化が可能である。

## 【0034】

また、データラッチ信号の非活性化のタイミングを、デコーダ列 5 から最も遠い箇所に設けた第 1 のダミーセルアレイ 2 の該当ダミーセルからの信号  $s_{tf}$  に基づいて決定している。第 1 のダミーセルアレイ 2 のリードデータは、メモリセルアレイ 4 内の選択ワード線上の全てのメモリセルより遅い。したがって、図 3 の従来例の課題であった、タイミングマージンが無くなる危険性がない。

## 【0035】

さらに、データラッチ信号の非活性化のタイミングを、最も遠い箇所に設けた第 1 のダミーセルアレイ 2 の該当ダミーセルからの信号  $s_{tf}$  に基づいて決定しているために、メモリセルアレイ 4 の構成が変化しても、最適なタイミングを決定することができる。

## 【0036】

図 6 は、図 4 の半導体記憶装置におけるダミービット線とダミーセルの構成を示す。

## 【0037】

図 6 において、第 1 のダミーセルアレイ 2 は、メモリセルアレイ 4 に対しデコーダ列 5 から最も遠い箇所に配設されたダミービット線対 21、22 に接続されている。第 2 のダミーセルアレイ 3 は、メモリセルアレイ 4 に対しデコーダ列 5 に最も近い箇所に配設されたダミービット線対 31、32 に接続されている。

## 【0038】

デコーダ列 5 には、選択されたワード線 52 上に、デコーダ 51 が設けられているものとする。また、選択されたワード線 52 には、第 1 のダミーセルアレイ 2 のダミーセル 24 と、第 2 のダミーセルアレイ 3 のダミーセル 34 と、メモリ

セルアレイ 4 のメモリセル 4 4 とが接続されている。ダミーセル 2 4 が接続されたダミービット線 2 1 には、インバータ対 2 5、2 6 が接続されている。ダミーセル 3 4 が接続されたダミービット線 3 1 には、インバータ 3 5 が接続されている。メモリセル 4 4 は、ビット線対 4 1、4 2 に接続されており、このビット線対 4 1、4 2 は、入出力ラッチ回路 6 の出力ラッチ部 6 1 に接続されている。

#### 【0039】

デコーダ 5 1 から選択されたワード線 5 2 に沿って送出され、第 2 のダミーセルアレイ 3 のダミーセル 3 4 を介しダミービット線 3 1 を通過した信号  $s_{tn}$  に基づいて、タイミング制御回路 7 は、入出力ラッチ回路 6 の出力ラッチ部 6 1 に入力するデータラッチ信号  $OUTPUT\_LATCH\_ENABLE$  の活性化タイミングを決定する。出力ラッチ部 6 1 では、この決定された活性化タイミングで、メモリセルアレイ 4 内のメモリセル 4 4 のデータ読み出しが開始される。出力ラッチ部 6 1 から出力データ  $DATA\_OUT$  が送出される。

#### 【0040】

また、デコーダ 5 1 から選択されたワード線 5 2 に沿って送出され、第 1 のダミーセルアレイ 2 のダミーセル 2 4 を介しダミービット線 2 1 を通過した信号  $s_{tf}$  に基づいて、タイミング制御回路 7 は、入出力ラッチ回路 6 の出力ラッチ部 6 1 に入力するデータラッチ信号  $OUTPUT\_LATCH\_ENABLE$  の非活性化タイミングを決定する。出力ラッチ部 6 1 では、この決定された非活性化タイミングで、メモリセルアレイ 4 のメモリセル 4 4 のデータ読み出しが終了する。

#### 【0041】

ここで、図 6 のタイミング制御回路 7 は、クロックパルス発生回路 (CPG) 7 1 を備えており、後述するように、このクロックパルス発生回路 7 1 により、タイミング制御回路 7 の上述した機能が実現される。

#### 【0042】

図 7 は、図 6 の半導体記憶装置に設けられるダミーセル 2 4 を示す。図 7 に示したように、ダミーセル 2 4 は、ワード線 5 2 及びダミービット線対 2 1、2 2 に接続される。第 1 のダミーセルアレイ 2 は、ダミーセル 2 4 と同様のダミーセ

ルを複数個、ダミービット線対 21、22 に対し一列に接続することにより構成される。

#### 【0043】

同様に、ダミーセル 34 も、図 7 のダミーセル 24 と同様に構成されたものである。第 2 のダミーセルアレイ 3 は、ダミーセル 34 と同様のダミーセルを複数個、ダミービット線対 31、32 に対し一列に接続することにより構成される、

図 8 は、図 6 の半導体記憶装置のタイミング制御回路 7 に設けられるクロックパルス発生回路 71 を示す。

#### 【0044】

図 8 のクロックパルス発生回路 71 は、信号  $s t f$  が入力されるゲートを有するトランジスタ 73 と、クロック信号  $C K$  が入力されるゲートを有するトランジスタ 74 と、インバータ列 72 の最終段のインバータの出力が接続されたゲートを有するトランジスタ 75 と、トランジスタ 73 とトランジスタ 74 に接続された入力を有するインバータ 76 と、インバータ 76 の出力信号及び信号  $s t n$  が入力される NAND ゲート 77 と、NAND ゲート 77 の出力信号が入力されるインバータ 78 とから構成される。上述したデータラッチ信号  $O U T P U T\_L A T C H\_E N A B L E$  は、インバータ 78 の出力信号としてクロックパルス発生回路 71 から出力ラッチ部 61 に送出される。

#### 【0045】

図 9 は、図 6 の半導体記憶装置における内部タイミング信号の生成方法を説明するためのタイミング図である。

#### 【0046】

図 9 において、(1) は半導体記憶装置 1 の各回路に送出されるクロック信号  $C K$  の状態を示し、(2) は選択されたワード線の信号  $W L$  の状態を示し、(3) は第 2 のダミーセルアレイ 3 のダミーセル 34 からダミービット線 31 に送出される信号  $d b l n$  の状態を示し、(4) は第 2 のダミーセルアレイ 3 のダミーセル 34 を介してダミービット線 31 を通過し、インバータ 35 から出力される信号  $s t n$  の状態を示し、(5) はメモリセルアレイ 4 のメモリセル 44 からビット線 41 に送出されるデータ信号  $b l$  の状態を示し、(6) は第 1 のダミーセ

ルアレイ 2 のダミーセル 24 からダミービット線 21 に送出される信号  $db1f$  の状態を示し、(7) は第 1 のダミーセルアレイ 2 のダミーセル 24 を介してダミービット線 21 を通過し、インバータ列 25、26 から出力される信号  $stf$  の状態を示し、(8) はクロックパルス生成回路 71 から入出力ラッチ回路 6 の出力ラッチ部 61 に送出されるデータラッチ信号  $OUTPUT\_LATCH\_ENABLE$  の状態を示す。

#### 【0047】

次に、本発明の第 2 の実施態様に係る半導体記憶装置の構成について、図 10 を用いて説明する。図 10 において、図 4 の半導体記憶装置 1 の構成要素と同一の構成要素には同じ参照符号を付し、該当する構成要素の構成、作用、機能等は同一であるので、重複する説明は省略する。

#### 【0048】

図 10 の半導体記憶装置 1A は、第 1 のダミーセルアレイ 2A、第 2 のダミーセルアレイ 3、メモリセルアレイ 4、デコーダ列 5、入出力ラッチ回路 6、およびタイミング制御回路 7A を備えている。半導体記憶装置 1A は、例えば、センスアンプをもたない SRAM であり、本発明によるセルフタイムド方式を適用したものである。第 1 のダミーセルアレイ 2A は、メモリセルアレイ 4 のほぼ中央の箇所に配設されたダミービット線対に接続されている。第 2 のダミーセルアレイ 3 は、メモリセルアレイ 4 に対しデコーダ列 5 に最も近い箇所に配設されたダミービット線対に接続されている。

#### 【0049】

この実施形態におけるデータラッチ信号の活性化タイミングは、次のように決定される。すなわち、デコーダ列 5 から選択されたワード線に沿って送出され、第 2 のダミーセルアレイ 3 内の該当ダミーセルを介しダミービット線を通過した信号に基づいて、タイミング制御回路 7A は、入出力ラッチ回路 6 の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを決定する。該当出力ラッチ部では、この決定された活性化タイミングで、メモリセルアレイ 4 内の該当メモリセルのデータ読み出しが開始される。

#### 【0050】



この実施形態におけるデータラッチ信号の非活性化タイミングは、次のように決定される。すなわち、デコーダ列5から選択されたワード線に沿って送出され、第1のダミーセルアレイ2A内の該当ダミーセルを介しダミービット線を通じて信号に基づいて、タイミング制御回路7Aは、入出力ラッチ回路6の該当出力ラッチ部に入力するデータラッチ信号の非活性化タイミングを決定する。該当出力ラッチ部では、この決定された非活性化タイミングで、メモリセルアレイ4内の該当メモリセルのデータ読み出しが終了する。

#### 【0051】

図10の実施形態において、メモリセルアレイ4のほぼ中央の箇所に配設された第1のダミーセルアレイ2Aの該当ダミーセルからの読み出しデータは、入出力ラッチ回路6の全ての入出力ブロックのほぼ半分に相当するワード線方向の長さの経路を往復するため、デコーダ列5から最も遠い箇所の入出力ブロックに対応する位置のメモリセルの読み出しタイミングよりも遅くなっている。したがって、第1のダミーセルアレイ2Aの位置でも十分タイミングマージンが確保できる。但し、第1のダミーセルアレイ2Aは、必ずしも、メモリセルアレイ4の中央に置く必要はない。更にデコーダ列5からより遠い箇所に、第1のダミーセルアレイ2Aを配置すれば、より大きいタイミングマージンが得られる。

#### 【0052】

上述の各実施形態では、センスアンプをもたない半導体記憶装置（SRAM等）の場合におけるデータラッチ信号の活性化タイミング信号を例として説明したが、センスアンプをもつ半導体記憶装置の場合におけるセンスアンプ活性化信号やその他の信号についても本発明のセルフタイムド方式は適用可能である。

#### 【0053】

##### （付記1）

メモリセルアレイと、デコーダと、入出力ラッチ回路を有する半導体記憶装置において、前記メモリセルアレイに対し前記デコーダからワード線方向に異なる箇所に配設された複数対のダミービット線と、前記ダミービット線の一方の対に接続された第1のダミーセルアレイと、前記ダミービット線の他方の対に接続された第2のダミーセルアレイと、前記デコーダから送出され、前記第1のダミー

セルアレイの該当ダミーセルを介し前記ダミービット線を通過した第1の信号、及び前記デコーダから送出され、前記第2のダミーセルアレイの該当ダミーセルを介し前記ダミービット線を通過した第2の信号に基づいて、前記入出力ラッチ回路に対する内部制御信号のタイミングを制御するタイミング制御回路とを備えることを特徴とする半導体記憶装置。

**【0054】**

(付記2) 前記第1のダミーセルアレイを前記メモリセルアレイの前記デコーダに最も近い箇所に配設し、前記第2のダミーセルアレイを前記メモリセルアレイの前記デコーダから最も遠い箇所に配設したことを特徴とする付記1記載の半導体記憶装置。

**【0055】**

(付記3) 前記タイミング制御回路は、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを、前記第1のダミーセルアレイの該当ダミーセルから送出されたデータ読出信号に基づいて決定することを特徴とする付記2記載の半導体記憶装置。

**【0056】**

(付記4) 前記タイミング制御回路は、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の非活性化タイミングを、前記第2のダミーセルアレイの該当ダミーセルから送出されたデータ読出し信号に基づいて決定することを特徴とする付記2記載の半導体記憶装置。

**【0057】**

(付記5) 前記半導体記憶装置をセンスアンプをもたないSRAMとして構成したことを特徴とする付記1記載の半導体記憶装置。

**【0058】**

(付記6) 前記第1のダミーセルアレイを前記メモリセルアレイの前記デコーダに最も近い箇所に配設し、前記第2のダミーセルアレイを前記メモリセルアレイのほぼ中央の箇所に配設したことを特徴とする付記1記載の半導体記憶装置。

**【0059】**

(付記 7) 前記タイミング制御回路は、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の活性化タイミングを、前記第 1 のダミーセルアレイの該当ダミーセルから送出されたデータ読出信号に基づいて決定することを特徴とする付記 6 記載の半導体記憶装置。

【0060】

(付記 8) 前記タイミング制御回路は、前記入出力ラッチ回路の該当出力ラッチ部に入力するデータラッチ信号の非活性化タイミングを、前記第 2 のダミーセルアレイの該当ダミーセルから送出されたデータ読出し信号に基づいて決定することを特徴とする付記 6 記載の半導体記憶装置。

【0061】

(付記 9) 前記第 1 のダミーセルアレイが接続されたダミービット線対に偶数個のインバータを配設し、前記第 2 のダミーセルアレイが接続されたダミービット線対に奇数個のインバータを配設したことを特徴とする付記 2 記載の半導体記憶装置。

【0062】

(付記 10) 前記第 1 のダミーセルアレイが接続されたダミービット線対に偶数個のインバータを配設し、前記第 2 のダミーセルアレイが接続されたダミービット線対に奇数個のインバータを配設したことを特徴とする付記 6 記載の半導体記憶装置。

【0063】

【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、内部制御信号の活性化タイミングを第 1 のダミーセルアレイの該当ダミーセルを介しダミービット線を通過した信号のタイミングで行なっているために、従来例の課題であった、過大なタイミングマージンの設定を回避できる。したがって、高速化が可能である。内部制御信号の非活性化タイミングを第 2 のダミーセルアレイの該当ダミーセルを介しダミービット線を通過した信号のタイミングで行なっている。第 2 のダミーセルアレイの該当ダミーセルのリードデータは全てのメモリセルより遅い。したがって、従来例の課題であった、タイミングマージンが無くなる危険性がな

い。また、内部制御信号の非活性化タイミングを第2のダミーセルアレイの該当ダミーセルの該当ダミーセルを介してダミービット線を通じた信号のタイミングで行なっているために、メモリセルアレイの構成が変化しても、最適なタイミングを決定することができる。

【図面の簡単な説明】

【図1】

従来の半導体記憶装置における内部タイミング信号を生成するための構成例を示すブロック図である。

【図2】

図1の従来例における内部タイミング信号の生成方法を説明するためのタイミング図である。

【図3】

従来の半導体記憶装置における内部タイミング信号を生成するための別の構成例を示すブロック図である。

【図4】

本発明の第1の実施形態に係る半導体記憶装置の構成を示す図である。

【図5】

図4の半導体記憶装置における内部タイミング信号の生成方法を説明するためのタイミング図である。

【図6】

図4の半導体記憶装置におけるダミービット線とダミーセルの構成を示す図である。

【図7】

図6の半導体記憶装置に設けられるダミーセルを示す回路図である。

【図8】

図6の半導体記憶装置に設けられるクロックパルス発生回路を示す回路図である。

【図9】

図6の半導体記憶装置における内部タイミング信号の生成方法を説明するため

のタイミング図である。

【図 10】

本発明の第 2 の実施態様に係る半導体記憶装置の構成を示す図である。

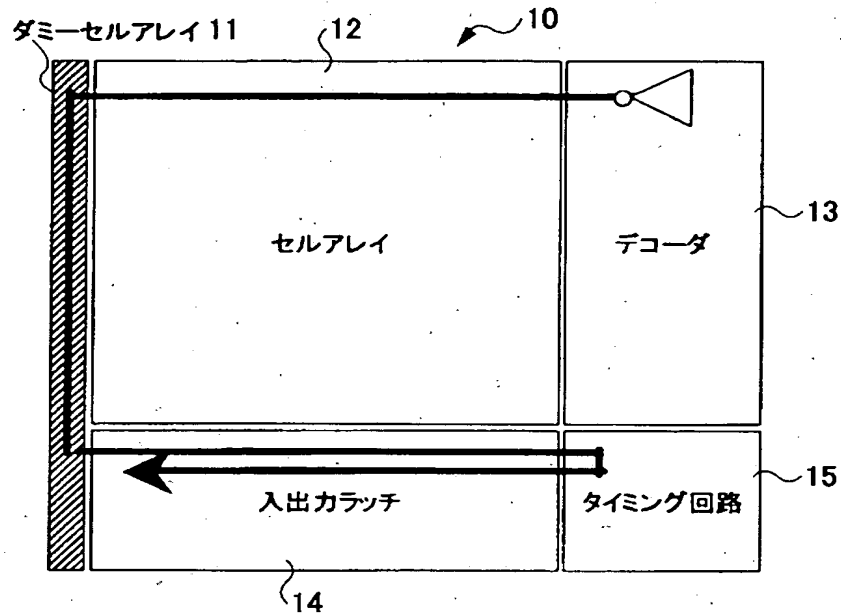
【符号の説明】

- 1、1 A 半導体記憶装置
- 2、2 A 第 1 のダミーセルアレイ
- 3 第 2 のダミーセルアレイ
- 4 メモリセルアレイ
- 5 デコーダ
- 6 入出力ラッチ
- 7、7 A タイミング回路
- 10、10 A 従来の半導体記憶装置

【書類名】 図面

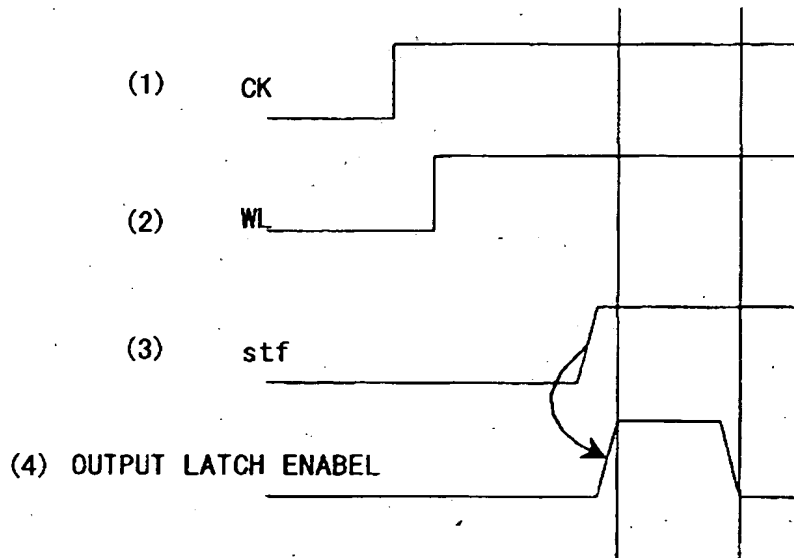
【図 1】

従来の半導体記憶装置における内部タイミング信号を生成するための構成例を示すブロック図



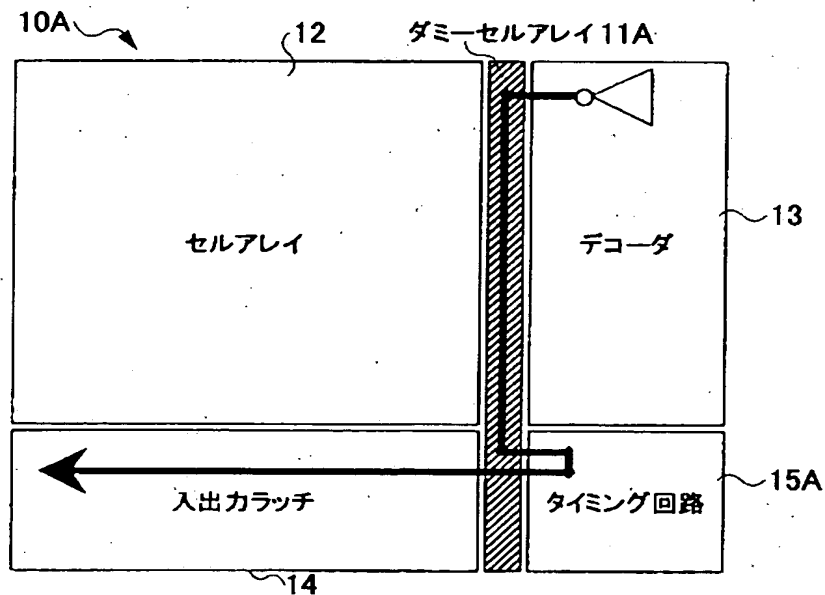
【図 2】

図 1 の従来例における内部タイミング信号の生成方法を説明するためのタイミング図



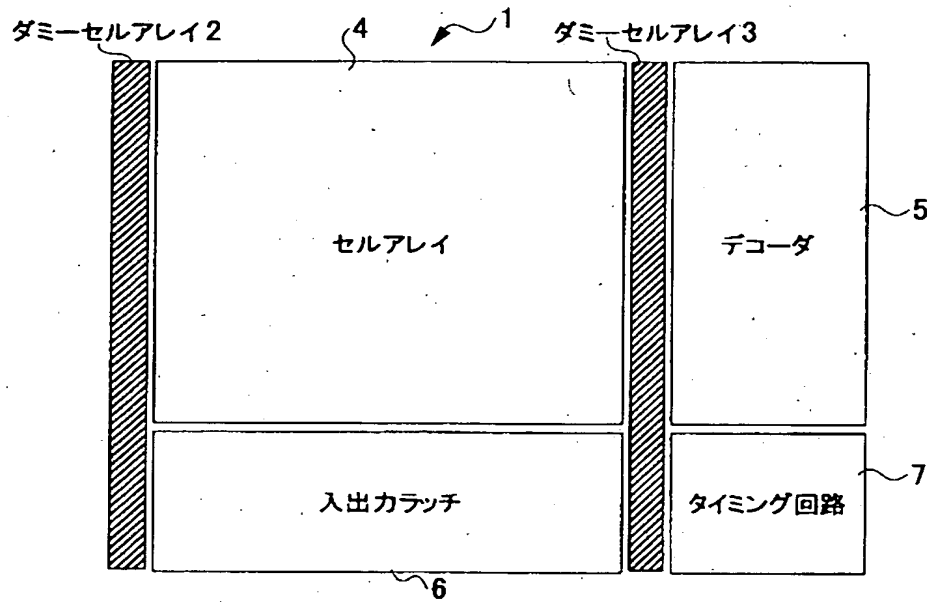
【図 3】

従来の半導体記憶装置における内部タイミング信号を生成するための別の構成例を示すブロック図



【図 4】

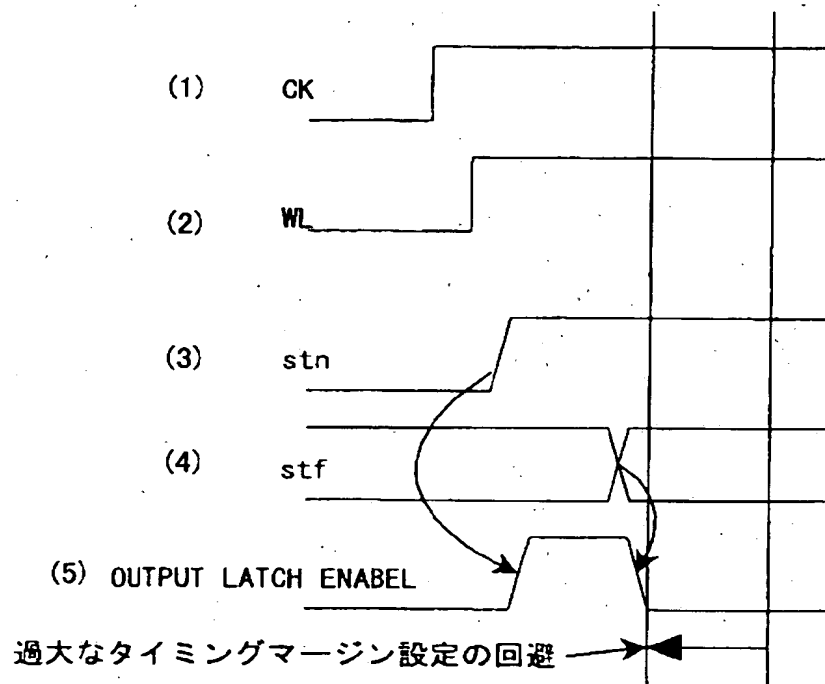
本発明の第 1 の実施形態に係る半導体記憶装置の構成を示す図





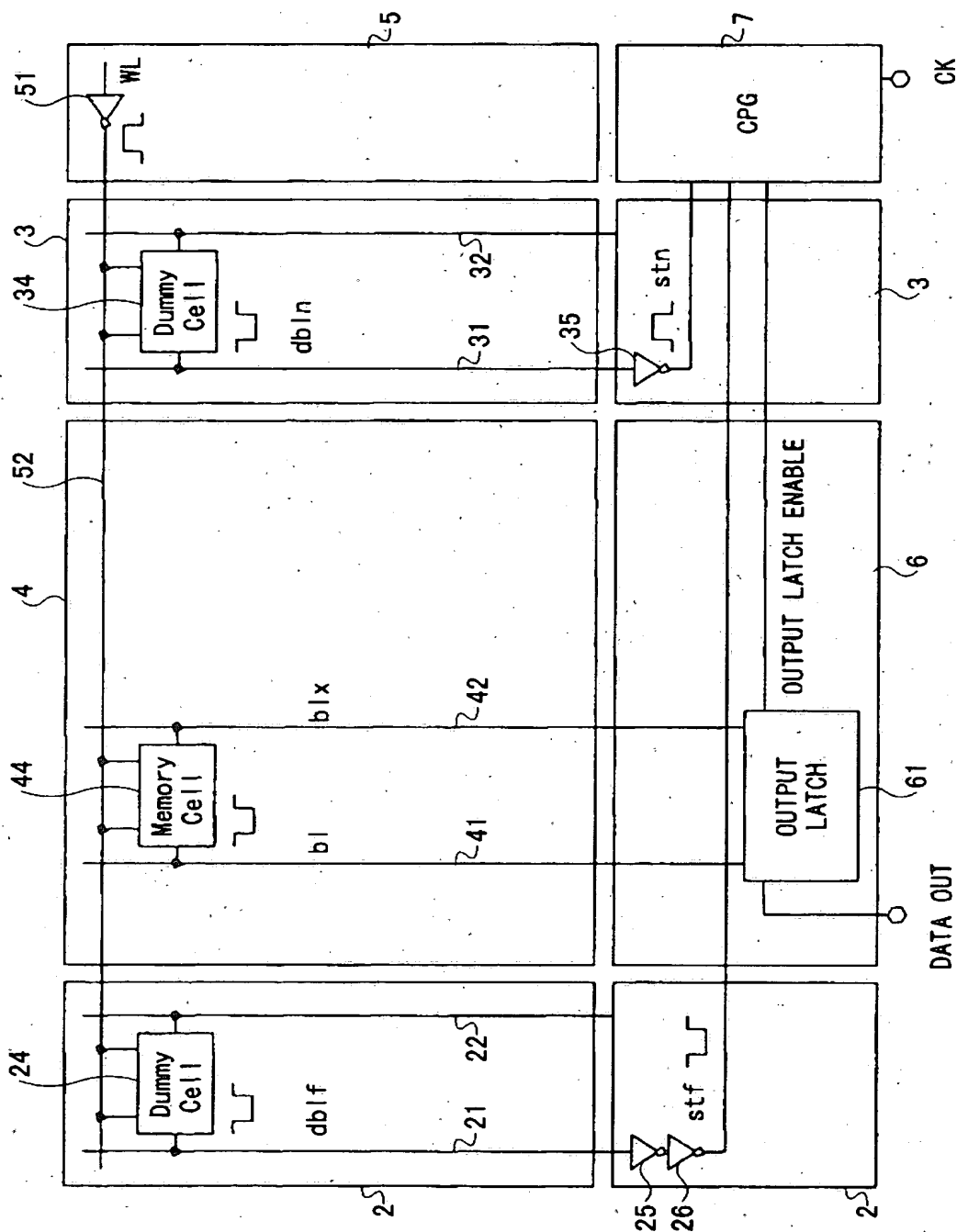
【図 5】

図 4 の半導体記憶装置における内部タイミング信号の生成方法を説明するためのタイミング図



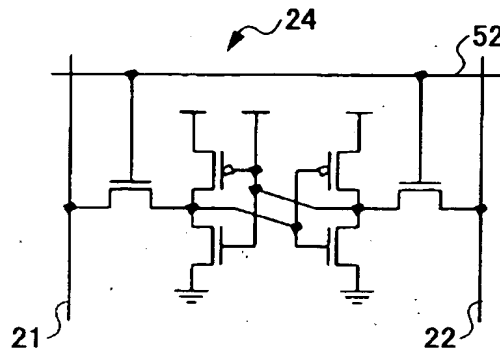
【図 6】

図 4 の半導体記憶装置におけるダミービット線と  
ダミーセルの構成を示す図



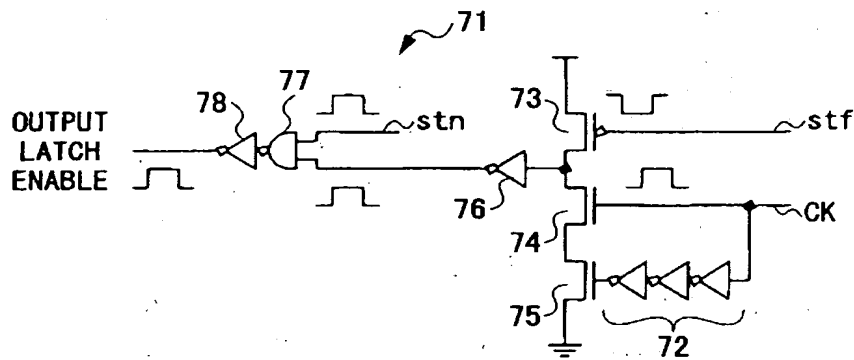
【図 7】

図6の半導体記憶装置に設けられるダミーセルを示す回路図



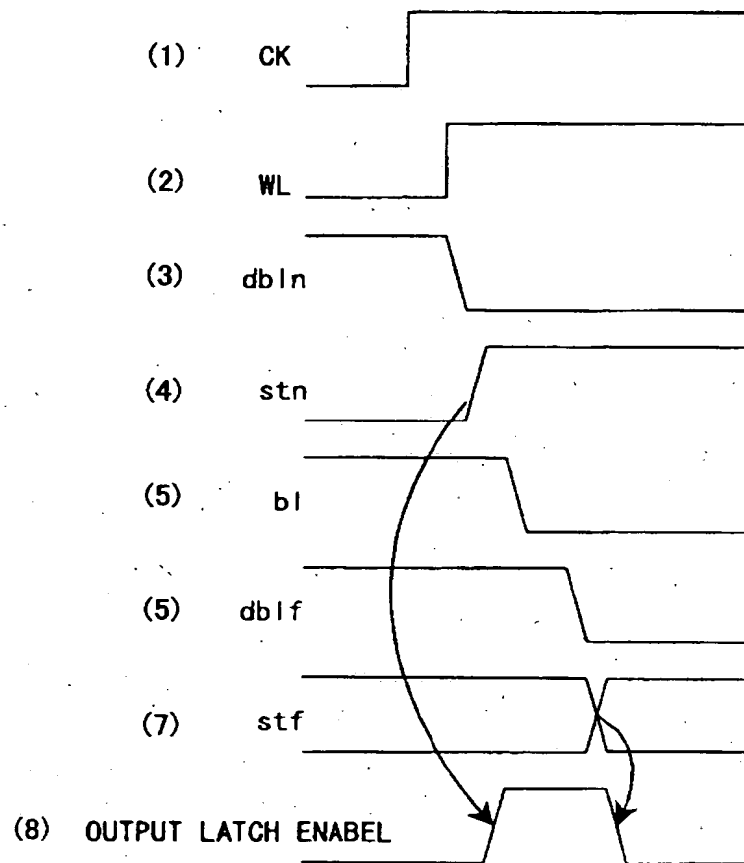
【図 8】

図6の半導体記憶装置に設けられる  
クロックパルス発生回路を示す回路図



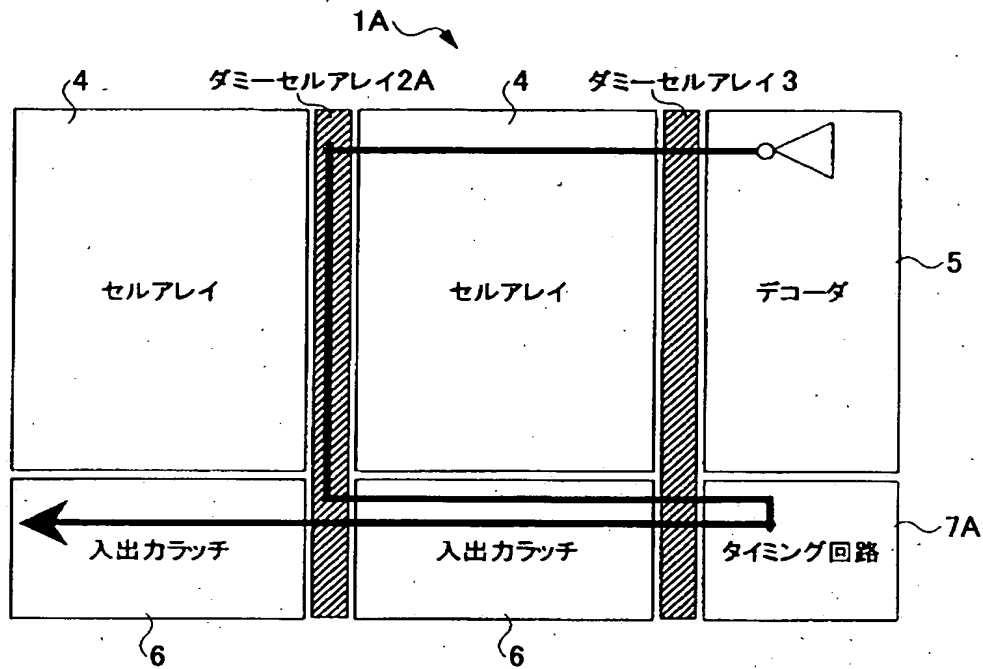
【図 9】

図 6 の半導体記憶装置における内部タイミング信号の生成方法を説明するためのタイミング図



【図 10】

本発明の第 2 の実施態様に係る半導体記憶装置の構成を示す図



【書類名】 要約書

【要約】

【課題】 内部制御信号の適正なタイミングマージンが設定でき、高速な内部制御信号のタイミング生成を可能とする半導体記憶装置を提供する。

【解決手段】 メモリセルアレイに対しデコーダからワード線方向の距離の異なる箇所に追加された少なくとも2組のダミービット線と、ダミービット線の一方の組に接続された第1のダミーセルアレイと、ダミービット線の他方の組に接続された第2のダミーセルアレイと、デコーダから送出され第1のダミーセルアレイを介しダミービット線を通過した第1の信号、及びデコーダから送出され第2のダミーセルアレイを介しダミービット線を通過した第2の信号に基づいて入出力ラッチ回路に対する内部制御信号のタイミングを生成するタイミング制御回路とを構成する。

【選択図】 図4

特願 2002-314567

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中1015番地

氏 名

富士通株式会社

2. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社